

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-274287

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.⁸

識別記号

F I

H 01 L 21/76

H 01 L 21/76

L

審査請求 未請求 請求項の数 3 OL (全 4 頁)

(21)出願番号 特願平10-75315

(71)出願人 000005049

(22)出願日 平成10年(1998)3月24日

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 土居 司

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 大西 茂夫

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 井口 勝次

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74)代理人 弁理士 小池 隆彌

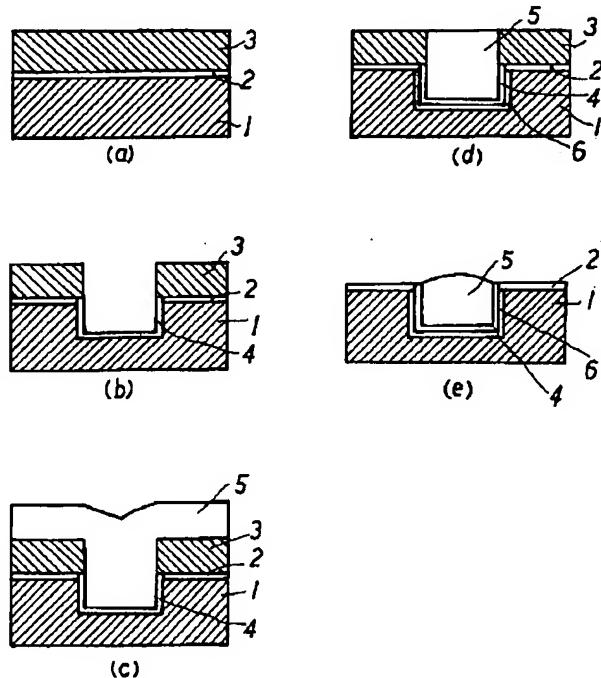
最終頁に続く

(54)【発明の名称】 素子分離領域の形成方法

(57)【要約】

【課題】 潟内に酸化シリコン層を埋め込んで緻密化の熱処理を行うことで、半導体基板に応力が生じ、また、熱処理工程により、半導体基板中の結晶格子に結晶欠陥が発生する。そのために欠陥を介してリーク電流が流れ、素子分離機能が低下するという問題が生じる。

【解決手段】 半導体基板1にパッド酸化膜2とシリコン窒化膜を順次形成し、異方性エッティングにより順次加工し、上記半導体基板にトレンチ溝を形成する。次に、トレンチ溝内表面に第1の酸化膜4を形成し、トレンチ溝内に半導体基板1表面より上方に表面が位置するように第2の酸化膜5を埋設する。次に、第2の酸化膜5を熱処理により緻密化し、第2の酸化膜5表面を平坦化した後、熱酸化を行い、第2の酸化膜5の下に再酸化膜6を形成する。次に、パッド酸化膜2及び窒化シリコン膜3を除去することにより、素子分離領域を形成する。



【特許請求の範囲】

【請求項 1】 半導体基板に第1の絶縁膜と耐酸化用堆積膜を順次形成する工程と、

上記耐酸化用堆積膜と上記第1の絶縁膜と上記半導体基板とを異方性エッティングにより順次加工し、上記半導体基板にトレンチ溝を形成する工程と、

少なくとも上記トレンチ溝内面を覆うように第2の絶縁膜を形成した後、上記トレンチ溝領域の表面が上記半導体基板表面より上に位置するように第3の絶縁膜を堆積する工程と、

上記第3の絶縁膜を熱処理により緻密化する工程と、上記第3の絶縁膜表面を平坦化した後、熱酸化を行い、

上記第2の絶縁膜の下に再酸化膜を形成する工程と、上記耐酸化用堆積膜及び上記第1の絶縁膜を除去することにより、素子分離領域を形成する工程とを有することを特徴とする、素子分離領域の形成方法。

【請求項 2】 上記第3の絶縁膜を堆積とスパッタエッティングとを同時に高密度プラズマCVD法により堆積することを特徴とする、請求項1に記載の素子分離領域の形成方法。

【請求項 3】 上記再酸化膜の膜厚を50Å以上で且つ1500Å以下であることを特徴とする、請求項1又は請求項2に記載の素子分離領域の形成方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、素子分離領域の形成方法、さらに詳しくは、トレンチ溝に絶縁膜を埋設してなる素子分離領域の形成方法に関するものである。

【0002】

【従来の技術】基板上に形成された素子間の電気的分離を図るための構造として、トレンチ溝に絶縁膜を埋設してなる素子分離構造（以下、「トレンチ素子分離構造」という。）が知られている。このトレンチ素子分離構造は例えば図2に示したように形成される。

【0003】 即ち、まず、半導体基板21の表面に、酸化シリコンからなる熱酸化膜22を形成し、続いて熱酸化膜上に化学的気相成長（CVD）法によって、窒化シリコン膜23を堆積する（図2（a））。

【0004】 次に、フォトリソグラフィ技術にて、マスクを形成してこれらの窒化シリコン膜23、熱酸化膜22及び半導体基板21を異方性エッティングにて加工し、トレンチ溝を形成する。次に、トレンチ溝表面に、異方性エッティングで除去されたシリコン部分は、活性領域との境界部においてダメージを受けており、品質的に好ましくないので、トレンチ溝表面に表面酸化膜24を形成し、品質を良好に保つ。

【0005】 続いて、オゾン-TEOS反応や高密度プラズマを利用したCVD法にてトレンチ溝を埋め込む酸化シリコン層25を形成する（図2（c））。次に、埋め込まれた酸化シリコン層25の緻密化（例えば、熱酸

化膜と近い膜質が得られるためには、オゾン-TEOS反応を利用した絶縁膜では窒素雰囲気中での1000～1100℃での熱処理が必要である。）を行った後に、CMP等により平坦化を行う（図2（d））。

【0006】 更に、表面の酸化シリコン膜と窒化シリコン膜とを除去し、トレンチ溝内に酸化シリコン層が埋め込まれたトレンチ分離構造が得られる（図2（e））。

この緻密化は、後の工程でウエットエッティング工程が何回か行われるため、膜の品質にばらつきがあると品質の悪い部分のみエッティングレートが大きくなるため、その部分がへこんだ状態となるため、品質の良好な熱酸化膜と同様のエッティングレートに近づけるために行う。

【0007】

【発明が解決しようとする課題】しかしながら、溝内に酸化シリコン層を埋め込んで緻密化の熱処理を行うことで、埋め込んだ酸化シリコン層の緻密化による膜収縮により半導体基板に応力が生じ、トレンチ工程後の熱酸化や注入不純物等の熱拡散などの熱処理工程により、半導体基板中の結晶格子にすべりや転位等の結晶欠陥が発生

する。そのために欠陥を介してリーク電流が流れ素子分離機能が低下するという問題が生じる。

【0008】

【課題を解決するための手段】請求項1に記載の本発明の素子分離領域の形成方法は、半導体基板に第1の絶縁膜と耐酸化用堆積膜を順次形成する工程と、上記耐酸化用堆積膜と上記第1の絶縁膜と上記半導体基板とを異方性エッティングにより順次加工し、上記半導体基板にトレンチ溝を形成する工程と、少なくとも上記トレンチ溝内面を覆うように第2の絶縁膜を形成した後、上記トレンチ溝領域の表面が上記半導体基板表面より上に位置するように第3の絶縁膜を堆積する工程と、上記第3の絶縁膜を熱処理により緻密化する工程と、上記第3の絶縁膜表面を平坦化した後、熱酸化を行い、上記第2の絶縁膜の下に再酸化膜を形成する工程と、上記耐酸化用堆積膜及び上記第1の絶縁膜を除去することにより、素子分離領域を形成する工程とを有することを特徴とするものである。

【0009】 また、請求項2に記載の本発明の素子分離領域の形成方法は、上記第3の絶縁膜を堆積とスパッタエッティングとを同時に高密度プラズマCVD法により堆積することを特徴とする、請求項1に記載の素子分離領域の形成方法である。

【0010】 更に、請求項3に記載の本発明の素子分離領域の形成方法は、上記再酸化膜の膜厚を50Å以上で且つ1500Å以下であることを特徴とする、請求項1又は請求項2に記載の素子分離領域の形成方法である。

【0011】

【発明の実施の形態】以下、実施の形態に基づいて本発明について詳細に説明する。

【0012】 図1は本発明のトレンチ素子分離構造の素

子分離領域の形成工程を示す図であり、図1において、1は半導体基板、2はパッド酸化膜、3は窒化シリコン膜、4は第1の酸化膜、5は第2の酸化膜、6は再酸化膜を示す。

【0013】図1(a)に示すように、半導体基板上にパッド酸化膜を50~300Åの厚さ(0.25μmプロセスにおいては140Å程度)で形成し、表面全体に耐酸化用堆積膜として、窒化シリコン膜3を1000~3000Åの厚さ(0.25μmプロセスにおいては1600Å程度)で形成する。

【0014】次に、素子分離マスクを用いたエッチング工程で、窒化シリコン膜3、パッド酸化膜2、半導体基板1を異方性エッチングにて、加工し、トレンチ溝を半導体基板上に1000~5000Å(0.25μmプロセスにおいては4000Å程度)の深さで形成する。

【0015】次に、図1(b)に示すように、トレンチ溝にバイロ酸化やドライ酸化により第1の酸化膜4を30~1000Å(0.25μmプロセスにおいては400Å程度)の厚さにて埋め込む。第1の酸化膜4は埋め込み酸化膜の界面特性を確保するためと、後続の工程での半導体基板1表面の損傷を防止するものである。

【0016】次に、図1(c)に示すように、第2の酸化膜5(高密度プラズマ絶縁膜やオゾン-TEOS絶縁膜)にて3000~10000Åの厚さ(0.25μmプロセスにおいては7000Å程度)で埋め込む。例えば、堆積とスパッタエッチングとを同時に使うプラズマCVD法により第2の酸化膜5を堆積する場合、シランの流量を30~100SCCM、酸素の流量を30~150SCCM、アルゴンの流量を20~150SCCMとし、マイクロ波パワーを1000~4000W、RFパワーを1000~3000W、圧力を2~100mTorr、デボレートを4000~6000Åとする。

【0017】この第2の酸化膜5はトレンチ溝とパッド酸化膜2と窒化シリコン膜3とのトータルの厚さより厚い膜厚で、すなわち、トレンチ溝に埋め込まれた第2の酸化膜5の表面が窒化シリコン膜3の表面より上方に位置するように形成する。

【0018】次に、第2の酸化膜膜に緻密化のための熱処理を施す。熱酸化膜比で2倍以下のウェットエッチング速度を得ようとすると、高密度プラズマ絶縁膜を用いた場合には、窒素雰囲気で、800~1000°Cの温度、30~60分の熱処理を行う必要がある。また、オゾン-TEOS絶縁膜を用いた場合には、高密度プラズマ絶縁膜を用いた場合と比較して膜質が悪いため、1000~1100°Cの温度で30~60°Cの熱処理が必要である。

【0019】次に、図1(d)に示すように、CMP法を利用して、窒化シリコン膜3まで研磨して、トレンチ素子分離領域を形成する。

【0020】そして、図1(e)に示すように、埋め込

んだ第2の酸化膜5の緻密化による膜収縮により、半導体基板に生じた応力を、ドライ酸化又はバイロ酸化により、1050~1150°Cで再酸化することによって緩和する。この際、トレンチ溝における第1の酸化膜4の下に50~1500Å(0.25μmプロセスにおいては1200Å程度)の再酸化膜6が形成されるが、この再酸化を行うことで、後の熱酸化や注入不純物等の熱拡散などの熱処理工程により半導体基板中の結晶格子にすべりや転位等の結晶欠陥を低減し、欠陥を介してリーク電流が流れ素子分離機能が低下することを防ぐことが可能となる。

【0021】この再酸化により形成された再酸化膜6の膜厚が50Åより薄いと膜収縮抑制効果が無いという問題点があり、また、1500Åより厚いとトランジスタの投影が劣化するという問題点がある。したがって、50~1500Åの膜厚が望ましい。そして、最後に、窒化シリコン膜3とパッド酸化膜2を除去して、半導体基板1表面を露出させ、トレンチ素子分離構造を形成する。

【0022】従来技術において、ラマン分光法のシフト量は、オゾン-TEOS絶縁膜では、+0.77cm⁻¹、高密度プラズマ絶縁膜では+0.49cm⁻¹である。これに対して上述の本発明を用いることにより、オゾン-TEOS絶縁膜では、+0.02cm⁻¹、高密度プラズマ絶縁膜では+0.01cm⁻¹となり、シリコン中のストレスも低減することができ、トレンチ工程後の熱酸化や注入不純物等の熱拡散などの熱処理工程により、半導体基板中の結晶格子に対して、すべりや転移等の結晶欠陥を低減し、欠陥を介してリーク電流が流れ素子分離機能が低下することを防ぐことが可能となる。

【0023】

【発明の効果】以上、詳細に説明したように、本発明を用いて、トレンチ溝を形成した状態で、トレンチ溝内にオゾン-TEOS反応を利用した絶縁膜を埋め込むことで下地依存性がなく、微細素子分離領域まで、良好な埋め込み特性が得られる。また、膜質改善のためとトレンチ内の酸化膜の界面特性を確保するために緻密化の熱酸化処理を行うことで、埋め込んだオゾン-TEOS反応を利用した絶縁膜の緻密化による膜収縮により半導体基板に生じた応力を低減することでトレンチ工程後の熱酸化や注入不純物等の熱拡散などの熱処理工程により半導体基板中に結晶格子にすべりや転移等の結晶欠陥の発生を低減することができ、そのために欠陥を介してリーク電流が流れ素子分離機能が低下することを防ぐことができる。

【0024】また、埋め込み酸化膜の界面特性を確保でき且つ、後続の工程での半導体基板表面の損傷を防止することができる。

【0025】更に、請求項2に記載の本発明を用いることにより、よりシリコン中のストレスを低減すること

10

20

30

40

50

ができる。

【図面の簡単な説明】

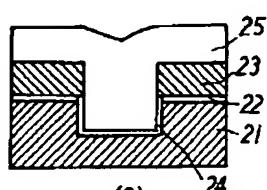
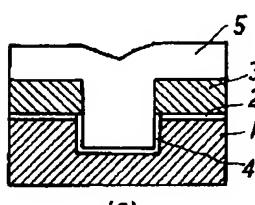
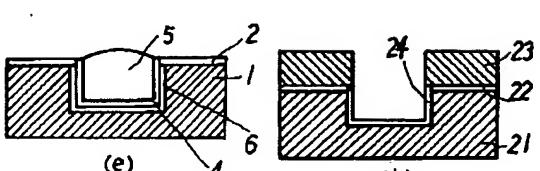
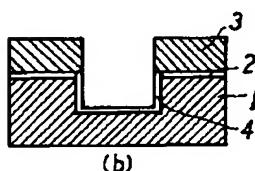
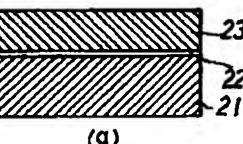
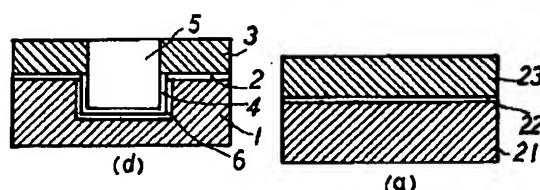
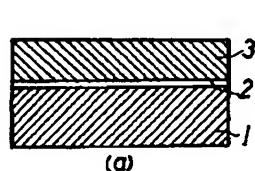
【図1】本発明の一実施の形態の素子分離領域の形成工程図である。

【図2】従来のトレンチ溝を用いた素子分離領域の形成工程図である。

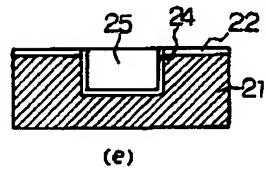
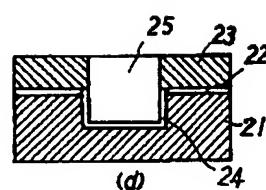
【符号の説明】

- 1 半導体基板
- 2 パット酸化膜
- 3 窒化シリコン膜
- 4 第1の酸化膜
- 5 第2の酸化膜
- 6 再酸化膜

【図1】



【図2】



フロントページの続き

(72) 発明者 新村 尚之

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内